SystemVerilogクロニクル



第8回　2000年ごろ，SystemVerilogの原型にあたるSuperlogが登場

明石貴昭

Verilog HDLをPhilip R. Moorby氏が開発したとき，彼はC言語やPascal，Fortranなどの言語を参考にしたといいます．動作モデルを表現するために，当時多くのEDAベンダが採用を試みたC言語を使わず，Verilog HDLを新たに開発したのには理由がありました．当時のソフトウェア言語はまだマルチスレッドなどの実装が貧弱で，基本的にはプログラムをシーケンシャルにしか実行できなかったのです．ところがハードウェアでは回路が並行動作します．また，シミュレーションを行うには，時間やX/Zの概念が必要になってきます．そこで，上述の言語を参考にしながら，Verilog HDLに並列性（例えば複数の`always`ブロック）や，時間の概念（例えば#遅延）などを持たせました．

● Verilog HDLには言語として欠けている部分があった

彼がVerilog HDL言語の開発にどれくらいの期間をかけたのか，筆者ははっきりと聞いたことはありませんが，製品リリース時期から考えて，それほど時間はかけていなかったと思われます．ここで詳細は書きませんが，Verilog HDLには「これはVerilog-XLパーサのコーナ・ケース・バグだろう」と思われる奇妙な部分が多々ありますし，Verilog HDLのレース・コンディション（信号競合）で苦しんだ経験のある方も多いと思います．これは言語仕様そのものに多くのあいまいな部分があるからです．言語として足りない部分も多いように感じられます．

とくに，Verilog HDLはシミュレーション目的で開発されたため，論理合成やフォーマル検証で使用可能なサブセットの定義が明確ではありませんでした．構文として足りない部分もありましたし，冗長であると思われる記述もありました．ちなみに合成サブセットは，後にIEEE Std 1364.1として規格化されました．`case`文がシーケンシャルにしか評価されないという問題などは，それまでのツール依存のプラグマ（`// synopsys parallel_case full_case`など）からアトリビュート（`(* synthesis, parallel_case *)`など）に変わり，多少進歩しましたが，まだ納得のいくものとは言いにくいようです．`module`インスタンス化の際の名まえ接続（`.clk(clk)`）などは，筆者も最初はなんとなく「めんどうだな？」と思っていました．

● EDA業界のベテランたちが集い，Verilog HDLを改良

このような状況と，検証言語（HVL）やアサーション言語の乱立を背景に，Verilog HDLを見直してさまざまな“あか”を落とし，次代に優良な資産を残そうという目的で，米国Co-Design Automation社（のちに米国Synopsys社が買収）が設立されました．1998年のことです．

Co-Design社のCEO職には米国Gateway Design Automation社，米国Chronologic Simulation社，米国Ambit Design Automation社と渡り歩いたSimon Davidmann氏が，CTO職には英国GenRad社で論理シミュレータ「HILO 3」を開発していたPeter L. Flake氏が，VP（vice president）Marketingには米国Cadence Design Systems社で「NC-Sim」を担当していたDavid Kelf氏が就任しました．ほかにもDave Rich氏やTom Fitzpatrick氏（ともにCadence社，Synopsys社に在籍．現在の所属は米国Mentor Graphics社）といった，現在のSystemVerilog標準化の立役者が参加しています．

Co-Design社は，SystemVerilogの原型となるSuperlog言語を開発し，NDA（non disclosure agreement）ベースで限定された顧客とともにブラッシュアップしていきました．現在のSystemVerilogデザイン・サブセット（設計記述）のほとんどは，このSuperlogから引き継いだものです．Superlogと命名される直前にKelf氏と会ったとき，彼はこの言語を「Verilog HDL 2005」，あるいは「Verilog++」と呼んでいました．最終的には，“Veri”を超えるということで“Super”にしたのだそうです．

Co-Design社は，言語に加えてSuperlogシミュレータ「System Sim」と，Superlog記述をVerilog HDL（IEEE Std 1364-2001）記述に変換するトランスレータ「SystemEx」を開発していました（ともに，現在は販売されていない）．SystemSimはおもしろいことに，この時代のシミュレータでありながらインタープリタ型でした．Co-Design社には途中から，Verilog HDLの開発者のひとりであるMoorby氏も参加していました．Moorby氏は，Verilog-XLという偉大なインタープリタ型シミュレータを開発していますし，CTOのFlake氏もインタープリタ型のHILO 3を開発していたので，インタープリタ型には思い入れがあったようです．筆者自身も対話的なデバッグ作業だけなら，いまでもVerilog-XLを使いたいと思うほどインタープリタ型が好きなのですが，やはり速度の面で無理がありました．

2002年にCo-Design社がSynopsys社に買収されたときにその技術はVCSへ移管され，SystemSimは姿を消しました．たいへん失礼な言いかたになるのかもしれませんが，よく考えるとMoorby氏もFlake氏もコンパイルド型シミュレータの開発経験はなかったのです．

<筆者プロフィール>
明石貴昭．ケイデンス・デザイン・システムズ入社後，Verilog-XL，NC-Simシミュレータなどを担当．現在，日本シノプシスにて論理検証プラットホームDiscoveryやSystemVerilog関連のしごとに従事している．旧EIAJ（現JEITA）1364-1995プロジェクトに参加し，現在はJEITA/EDA技術専門委員会SystemVerilogタスクグループの副主査として，SystemVerilogの標準化に携わっている．